



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11097613 A**(43) Date of publication of application: **09 . 04 . 99**

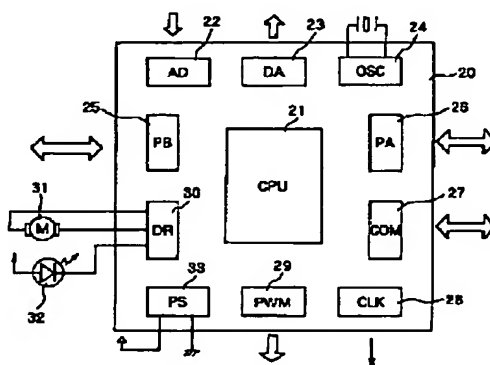
(51) Int. Cl. **H01L 23/50**  
**H01L 23/12**  
**H05K 1/02**

(21) Application number: **09255459**(71) Applicant: **CANON INC**(22) Date of filing: **19 . 09 . 97**(72) Inventor: **HARADA YOSHIHITO****(54) IC PACKAGE****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To avoid causing nonconformities due to noise, etc., by forming an allotting pattern which divides signals in groups of signals susceptible for or easy to emit noises and signals for transferring heavy currents.

**SOLUTION:** Analog blocks including AD converters 22, DA converters 23, oscillator circuits OSC 24, etc., are required to be highly accurate and have high impedances which are extremely susceptible to external noises. Communication port COM 27, high-speed clock terminals CLK 28 and PWM 29 are for signal groups having comparatively high frequencies among digital signals and hence tend to emit noises. A driver DR 30, power source PS 33, etc., are terminals for transferring comparatively heavy currents and hence tend to generate and emit a noise, if its current path includes a wiring resistance. This eliminates the disadvantages resulting from many capacitive couplings that the ball grid array package essentially has, thus avoiding generation of noises due to crosstalks.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97613

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/50

H 0 1 L 23/50

X

23/12

H 0 5 K 1/02

P

H 0 5 K 1/02

H 0 1 L 23/12

E

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号

特願平9-255459

(22) 出願日

平成9年(1997) 9月19日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 原田 義仁

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

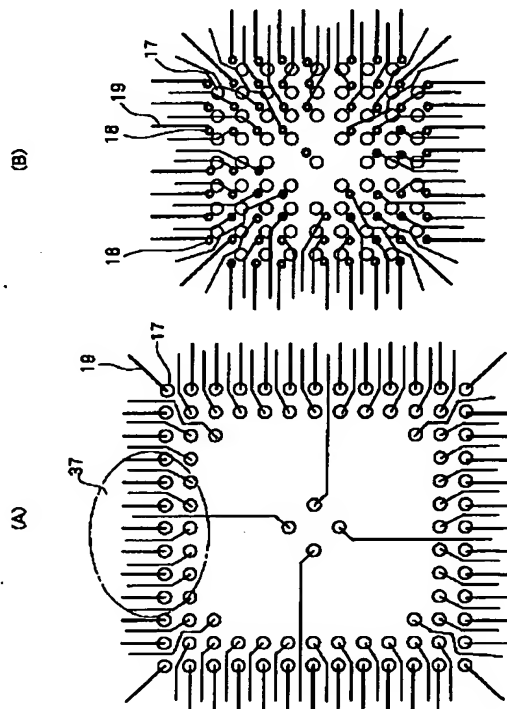
(74) 代理人 弁理士 岸田 正行 (外3名)

(54) 【発明の名称】 I Cパッケージ

(57) 【要約】

【課題】 BGAをデジタル・アナログ混在のICに採用してもBGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止する。

【解決手段】 デジタル・アナログ混在IC等の信号群をノイズに弱い信号群、ノイズを放出し易い信号群、大電流をやりとりする信号群等の複数の群に分割し且つ群相互を隔離するように割付配設パターン化する。



## 【特許請求の範囲】

【請求項1】 IC素子を内包し、前記IC素子に対する信号の入出力を複数のパッドを介して行うICパッケージにおいて、

信号群をノイズに弱い信号群、ノイズを放出し易い信号群、大電流をやりとりする信号群等の複数の群に分割し、且つ群相互を隔離するように割付配設パターン化することを特徴としたICパッケージ。

【請求項2】 前記ノイズに弱い信号群をパッケージの外周部またはコーナー部のパッドに割り付けることを特徴とした請求項1記載のICパッケージ。

【請求項3】 前記ノイズに弱い信号群は、AD変換器、DA変換器、発振回路等の信号群であることを特徴とした請求項2記載のICパッケージ。

【請求項4】 前記ノイズを放出し易い信号群をパッケージの外周部またはコーナー部のパッドに割り付けることを特徴とした請求項1記載のICパッケージ。

【請求項5】 前記ノイズを放出し易い信号群は、高速クロック、PWM等の信号群であることを特徴とした請求項4記載のICパッケージ。

【請求項6】 大電流をやりとりする信号群をパッケージの外周部またはコーナー部のパッドに割り付けることを特徴とした請求項1記載のICパッケージ。

【請求項7】 前記大電流をやりとりする信号群は、電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群であることを特徴とした請求項6記載のICパッケージ。

【請求項8】 前記大電流をやりとりする信号群を割り付ける際に、多層マザーボードに実装した時にマザーボードの第1層である部品実装面から引き出せるパッドに割り付けることを特徴とした請求項1、6、または7記載のICパッケージ。

【請求項9】 前記大電流をやりとりする信号群としては、電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群が含まれることを特徴とした請求項8記載のICパッケージ。

【請求項10】 請求項1乃至9のいずれかにおいて、全格子、中空方陣タイプを含み、CPS等の小型タイプを含むことを特徴としたICパッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ICパッケージに係り、特にボールグリッドアレイパッケージ（以下BGAパッケージと略称する）に関するものである。

## 【0002】

【従来の技術】近年、IC等の多ピン化、小サイズ化の流れの中で、SSOPやQFP等の表面実装パッケージにおける狭ピッチ化がますます進んできている。

【0003】特に、狭ピッチ化の一つとして例えば0.5mmのクワッドフラットパッケージ（以下QFPと略

称する）がハンディ機器製品に多用されている。

【0004】しかしながら、実装コストを考えるとこれ以上の狭ピッチ化には実装装置、実装材料、実装管理といった種々の面から限界がきており、多ピン化に対する回答としてパッケージのボディサイズを大きくすることなく解決する方法、すなわち従来の1次元的なピン配列から2次元的なピン配列としてのピングリッドアレイ

（以下PGAと略称する）やボールグリッドアレイ（以下BGAと略称する）が採用されている。特にPGAは大きさというよりは多ピン化に対する単純な回答として早くからソケットが利用され、パソコンのCPUやゲートアレイ等に多用されている。

【0005】一般にPGAは多ピン、高速のデジタル信号を扱うものが多く、そのパッケージは高価なものが多い。一方、BGAはPGAと異なり、まず表面実装用のパッケージでしかもフレキシブルプリント基板を含むプリント基板等にチップを載せ、裏面にハンダボールを格子状に比較的粗いピッチで配している。したがって、粗いピッチにも拘らずパッケージサイズの割りに多ピンが確保でき、またハンダボールによる自己位置修正効果所謂セルフアライメント効果で比較的ローコストの実装が可能である。

## 【0006】

【発明が解決しようとする課題】しかしながら、BGAは平面的（2次元）なパッド配置であるため、多層基板のマザーボードで受けることが前提になるが、それでも狭い領域に高密度のパッドを配するため、互いの信号間でのクロストークが増え、また配線をマザーボード内で引き出す際にも引き出し線同士の立体交差による容量結合により信号の電氣的漏洩である所謂クロストークが増大する。

【0007】本出願に係る第1の発明の目的は、デジタルとアナログ混在のICを多ピンであるにも拘らず実装コストの安価なBGAパッケージに入れても、ノイズ等で不具合が生じないようにすることにある。

【0008】本出願に係る第2の発明の目的は、ノイズに弱い信号群が不具合となるのを防止することにある。

【0009】本出願に係る第3の発明の目的は、AD変換器、DA変換器、発振回路等の信号群が不具合となるのを防止することにある。

【0010】本出願に係る第4の発明の目的は、他の信号群に対しノイズを放出し易い信号群による悪影響を防止することにある。

【0011】本出願に係る第5の発明の目的は、高速クロック、PWM等の信号群による他の信号群の不具合を防止することにある。

【0012】本出願に係る第6の発明の目的は、高抵抗部の電位差の出現に伴うノイズの発生等を防止することにある。

【0013】本出願に係る第7の発明の目的は、電源、

グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を防止することにある。

【0014】本出願に係る第8の発明の目的は、両面基板のマザーボードでの高抵抗部の電位差の出現に伴うノイズの発生等を防止することにある。

【0015】本出願に係る第9の発明の目的は、多層マザーボードに実装した電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を防止することにある。

【0016】本出願に係る第10の発明の目的は、ハンダボールによるセルフアライメント効果で比較的ローコストの実装を可能とし、且つBGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止することにある。

【0017】

【課題を解決するための手段】本出願に係る第1の発明の目的を実現する構成としては、請求項1記載のように、IC素子を内包し、前記IC素子に対する信号の入出力を複数のパッドを介して行うICパッケージにおいて、信号群をノイズに弱い信号群、ノイズを放出し易い信号群、大電流をやりとりする信号群等の複数の群に分割し、且つ群相互を隔離するように割付配設パターン化した。

【0018】上記した構成によれば、多ピン化に適合し、実装コストも比較的安価なBGAをデジタル・アナログ混在のICに採用しても、そのピン配置に工夫をこらすことによってBGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止することができる。

【0019】また、BGA基板内での配線の置換が比較的容易にできるため、この手法は一層現実的となる。

【0020】本出願に係る第2の発明の目的を実現する構成としては、請求項2記載のように、前記ノイズに弱い信号群をパッケージの外周部またはコーナー部のパッドに割り付けることをとした。

【0021】上記した構成によれば、例えばBGA内のICのパッドレイアウトによって割付配設パターン化を容易に実現することができ、ノイズに弱い信号群が不具合となるのを未然に回避できる。

【0022】本出願に係る第3の発明の目的を実現する構成としては、請求項3記載のように、前記ノイズに弱い信号群は、AD変換器、DA変換器、発振回路等の信号群であることとした。

【0023】上記した構成によれば、AD変換器、DA変換器、発振回路等の信号群が不具合となるのを未然に回避できる。

【0024】本出願に係る第4の発明の目的を実現する構成としては、請求項4記載のように、前記ノイズを放出し易い信号群をパッケージの外周部またはコーナー部のパッドに割り付けることとした。

【0025】上記した構成によれば、他の信号群に対しノイズを放出し易い信号群による悪影響を未然に回避することができる。

【0026】本出願に係る第5の発明の目的を実現する構成としては、請求項5記載のように、前記ノイズを放出し易い信号群は、高速クロック、PWM等の信号群であることを特徴とした。

【0027】上記した構成によれば、高速クロック、PWM等の信号群による他の信号群の不具合を未然に回避できる。

【0028】本出願に係る第6の発明の目的を実現する構成としては、請求項6記載のように、大電流をやりとりする信号群をパッケージの外周部またはコーナー部のパッドに割り付けることとした。

【0029】上記した構成によれば、従来のスルーホールを通過させた場合のように高抵抗部の電位差の出現に伴うノイズの発生等を未然に回避できる。

【0030】本出願に係る第7の発明の目的を実現する構成としては、請求項7記載のように、前記大電流をやりとりする信号群は、電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群であることとした。

【0031】上記した構成によれば、電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を未然に回避できる。

【0032】本出願に係る第8の発明の目的を実現する構成としては、請求項8記載のように、前記大電流をやりとりする信号群を割り付ける際に、多層マザーボードに実装した時にマザーボードの第1層である部品実装面から引き出せるパッドに割り付けることとした。

【0033】上記した構成によれば、両面基板のマザーボードでの大電流をやりとりする信号群のパッド割り付けパターンを種々に工夫することで高抵抗部の電位差の出現に伴うノイズの発生等を未然に回避することができる。

【0034】本出願に係る第9の発明の目的を実現する構成としては、請求項9記載のように、請求項8における大電流をやりとりする信号群としては、電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群が含まれることとした。

【0035】上記した構成によれば、多層マザーボードに実装した電源、グラウンド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を未然に回避できる。

【0036】本出願に係る第10の発明の目的を実現する構成としては、請求項10記載のように、請求項1乃至9におけるBGAとしては、全格子、中空方陣タイプを含み、CPS等の小型タイプのBGAサイズを含むことを特徴とした。

【0037】上記した構成によれば、粗いピッチでも多ピンが確保できるハンダボールによるセルフアライメン

ト効果で比較的ローコストの実装が可能となると同時に、BGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止することができる。

#### 【0038】

##### 【発明の実施の形態】

(第1の実施の形態) 図1乃至図8は本発明の第1の実施の形態を示す。

【0039】図1は表面実装パッケージとして一般的なSSOPの平面図、図2は同様に表面実装パッケージとして一般的なQFPの平面図である。

【0040】SSOPはボディ1の両端側から複数のリード2が突出している。そして、このSSOPはリード2が図1に示すように配列しているのので、その配線の引き出しは矢印のように2方向である。一方、QFPはボディ3の四辺から複数のリード2が突出しており、その配線の引き出し線は図2の矢印のように4方向である。したがって、SSOPやQFPは単に信号を引き出すだけなら素直に外に抜がるだけであり、各信号を交差させる必然性はない。現実には外部につく他のICや回路等の制約により信号の交差は発生するが、これらのパッケージの本質としてはスムーズな配線引き出しが可能である。一方、BGAは、図3に示すように、ボディ4にハンダボール5が格子状に配置されている。

【0041】図4に実装状態の断面図が示されていて、BGA基板6上にボンディングワイヤー9で接続させたICチップ8がモールド樹脂7で封止されている。そして、BGA基板6の裏面にはハンダボール10が格子状あるいは中空方陣状に配設される。BGA基板6としてはFR-4やBTレジン等のハードなものもあるが、フレキシブルプリント基板等を使用することもある。また、ICチップ8はボンディングワイヤー9で接続されるものの他、フリップチップといわれるバンプによる裏向きの接続もある。

【0042】さらには、CSP(チップサイズパッケージ)と呼ばれる狭ピッチのパッケージもある。一般に、ボールピッチが0.8mm以下のBGAはCSPと呼ばれることが多い。

【0043】これらのパッケージの特徴は、ピンが4辺に設けられているQFP等の表面実装パッケージとは異なり、パッケージの裏面に二次元全体にピンを設けているために極めて高密度にピンが付設できるという特徴がある。その意味では、ピンの接続に半田ボールを使用しないLGA(ランドグリッドアレイ)といったデバイスが最近開発されつつあるが、このタイプパッケージの裏面全体を有効に使ったピン付設という意味で本発明の主旨に合っており、本発明に応用することができる。

【0044】11はマザーボードで夫々のハンダボール10が該マザーボード11に実装された後、S1、S2、S3、S4といった各信号線の引き出しが行なわれ

ている。S1やS4は多層基板のBGA実装面側の引き出しで、S2やS3はスルーホール12を通して裏面引き出しを行なっている。このとき、S3とS4の間には容量結合13がある。また、図5(A)に示すように、S5とS6の間にはスルーホール14があるために抵抗分15が発生する。そのため、図5(B)に示すように、スルーホール14、容量結合13により信号S7とS8において信号のクロストーク16が発生し易くなる。

10 【0045】SSOPやQFPでの配線引き出しでは隣接ピンの引き出しによる容量結合は銅箔の厚み分が対抗した分だけであるが、BGAの配線引き出しは引き出し線幅の対抗した広い面積での容量結合があるため、クロストークも大きくなり易い。図6は13×13の合計169ピンのBGAの配線引き出しを両面基板のマザーボードで実施したもので、両層を通じて示してあり、17はハンダパッド、18はスルーホール、19は引き出し線である。

20 【0046】図7(A)は実装面の引き出し状態を示し、図7(B)はスルーホールを通して裏面へ引き出したものである。図7(A)で本体はハンダパッド17とスルーホール18が存在するが、スルーホール18の方は見難さをなくすために意図的に省略してある。

【0047】図7(B)に示すスルーホール18は夫々のすぐ隣接したハンダパッド17からの信号を裏面に移し、引き出してある。

30 【0048】図6～図7(B)に示すように、ただ単に引き出すだけでも通しで見るとかなりの部品面、裏面の相互間の信号の重なりが見受けられる。すなわち、クロストークがかなり発生しそうであることが考えられる。

【0049】現在、BGAに搭載されるICチップはメモリーやマイクロプロセッサやデジタル信号処理ICやゲートアレイ等のデジタルICが殆どである。今後、他ピン化や実装コストの安さを武器にしてデジタル・アナログ混在IC等も搭載されていくと考えられるが、前述したようなクロストークにはよほど気を付ける必要がある。

40 【0050】図8はデジタル・アナログ混在ICの一例としてシングルチップマイコン20を示した。21はコアCPU、22はAD変換器、23はDA変換器、24は発振回路OSC、25は汎用ポートPB、26は汎用ポートPA、27は通信ポートCOM、28はクロック端子CLK、29はPWM、30はドライバーDRでモータ31や発光表示器32のように比較的大電流を出し入れしている。また、33は電源PSである。

【0051】前記AD変換器22、DA変換器23、発振回路OSC24等はアナログブロックであり、高精度が要求されたり、インピーダンスが高く、外部からのノイズに極めて弱い。

50 【0052】一方、通信ポートCOM27や高速クロック

クのクロック端子CLK28やPWM29はデジタル信号の中でも比較的周波数が高く、そのためノイズを放出し易い信号群である。

【0053】また、ドライバーDR30や電源PS33等は比較的大電流をやりとりする端子のため、その電流パスに配線抵抗が含まれると電位差が発生しノイズを放出し易い端子といえる。また、比較的大電流をやりとりする信号群として上記したもの以外にグランド、アクチュエータ駆動部、発光素子駆動部等がある。

【0054】したがって、AD変換器22、DA変換器23、発振回路OSC24等のアナログブロック群は他の部分と隔離して容量結合によるクロストークを減らす必要があり、これらをBGAのコーナー部35や外周部36、37に配設することでノイズによる不具合を防ぐことができる。また、アナログブロック群とは逆に通信ポートCOM27やクロック端子CLK28やPWM29等のデジタル信号群をBGAの別のコーナー部や外周部に配設して隔離することでノイズによる不具合を防ぐことができる。さらに、ドライバーDR30や電源PS33等は、スルーホール等の高抵抗部があると電位差が発生してノイズ源になるため、スルーホールを通過しないパッドに配したり、他の信号から隔離するためにBGAの別のコーナー部や外周部に配設することでノイズによる不具合を回避できる。

【0055】尚、BGAパッケージの実装面から直接配線引き出しの可能なパッドに上記各ブロック信号群を割り付けることで対応することもできる。

【0056】そしてまた、BGA内のICのパッドレイアウトによっても実現できるばかりでなく、一般に多層基板によって構成されるBGA基板内においても引き回し方法を任意に工夫することで実現できるのである。

#### 【0057】

【発明の効果】請求項1に係る発明によれば、多ピン化に適合し、実装コストも比較的安価なBGAをデジタル・アナログ混在のICに採用しても、そのピン配置に工夫をこらすことによってBGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止することができる。

【0058】また、BGA基板内での配線の置換が比較的容易にできるため、この手法は一層現実的となる。

【0059】請求項2に係る発明によれば、BGA内のICのパッドレイアウトによって割付配設パターン化を容易に実現することができ、ノイズに弱い信号群が不具合となるのを未然に回避できる。

【0060】請求項3に係る発明によれば、AD変換器、DA変換器、発振回路等の信号群が不具合となるのを未然に回避できる。

【0061】請求項4に係る発明によれば、他の信号群に対しノイズを放出し易い信号群による悪影響を未然に回避することができる。

【0062】請求項5に係る発明によれば、高速クロック、PWM等の信号群による他の信号群の不具合を未然に回避できる。

【0063】請求項6に係る発明によれば、従来のスルーホールを通過させた場合のように高抵抗部の電位差の出現に伴うノイズの発生等を未然に回避できる。

【0064】請求項7に係る発明によれば、電源、グランド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を未然に回避できる。

10 【0065】請求項8に係る発明によれば、両面基板のマザーボードでの大電流をやりとりする信号群のパッド割り付けパターンを種々に工夫することで高抵抗部の電位差の出現に伴うノイズの発生等を未然に回避することができる。

【0066】請求項9に係る発明によれば、多層マザーボードに実装した電源、グランド、アクチュエータ駆動部、発光素子駆動部等の信号群によるノイズの発生等を未然に回避できる。

20 【0067】請求項10に係る発明によれば、粗いピッチでも多ピンが確保できるハンダボールによるセルフアライメント効果で比較的ローコストの実装が可能となると同時に、BGAが本来もっている容量結合の多さによるデメリットを排除し、クロストークによるノイズの発生を防止することができる。

#### 【図面の簡単な説明】

【図1】本出願に係る発明の第1の実施の形態におけるSSOPの配線引き出し状態の平面図

【図2】本出願に係る発明の第1の実施の形態におけるQFPの配線引き出し状態の平面図

30 【図3】本出願に係る発明の第1の実施の形態におけるBGAの底面図

【図4】本出願に係る発明の第1の実施の形態におけるBGA実装の断面図

【図5】本出願に係る発明の第1の実施の形態における説明図であり(A)はスルーホール部を示し、(B)は等価回路を示す。

【図6】本出願に係る発明の第1の実施の形態におけるマザーボードの引き出し状態を示す概略図

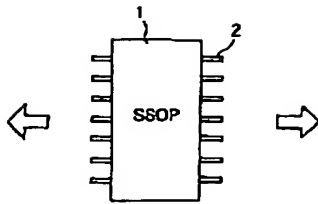
40 【図7】本出願に係る発明の第1の実施の形態における説明図であり(A)は実装面の引き出し状態、(B)はスルーホールを通しての裏面引き出し状態を示す。

【図8】本出願に係る発明の第1の実施の形態におけるシングルチップマイコンの平面図である。

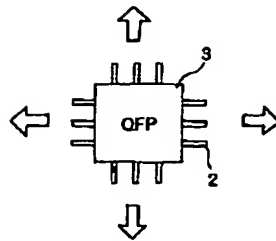
#### 【符号の説明】

17…ハンダパッド	18…スルーホール
19…引き出し線部	35…コーナー部
36, 37…周辺部(外周部)	

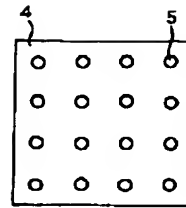
【図 1】



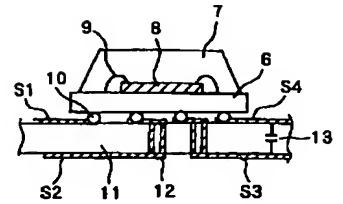
【図 2】



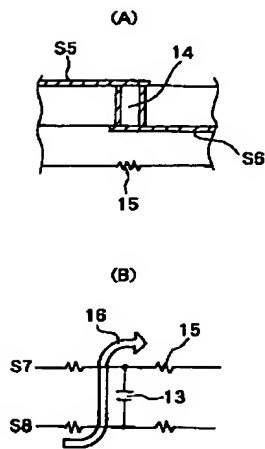
【図 3】



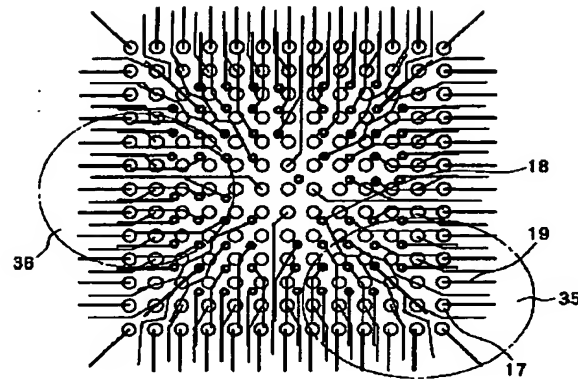
【図 4】



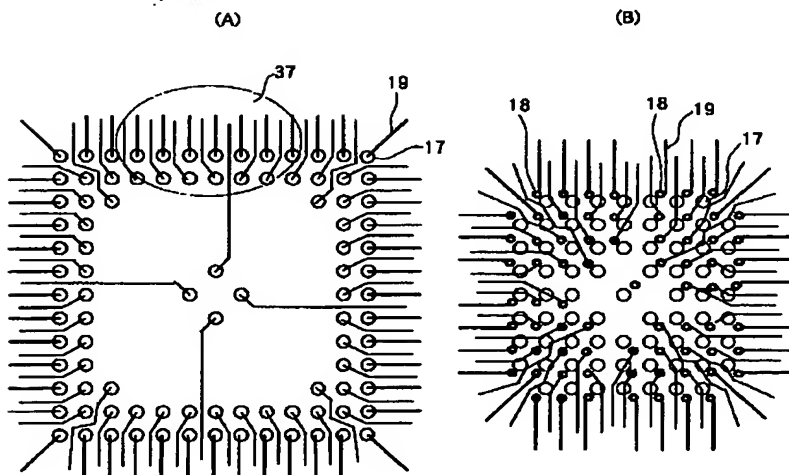
【図 5】



【図 6】



【図 7】



【図 8】

